

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

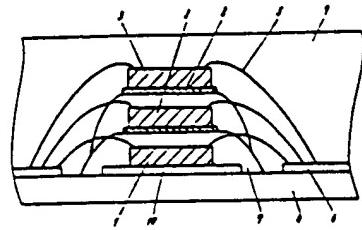
**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**



(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
(11) 4-56262 (A) (43) 24.2.1992 (19) JP
(21) Appl. No. 2-167207 (22) 25.6.1990
(71) MATSUSHITA ELECTRON CORP (72) SUSUMU SANAI
(51) Int. Cl. H01L25/065, H01L25/07, H01L25/18, H01L27/00

PURPOSE: To enable a semiconductor integrated circuit device to be miniaturized and improved in electrical properties by a method wherein two or more semiconductor chips are stacked up on a board.

CONSTITUTION: Semiconductor chips 1, 2, and 3 are stacked up on a thin Au film 10 on a board 4 and bonded, and the chips 1, 2, and 3 are connected to a wiring 6 provided onto the board 4 with bonding wires, and the chips are coated hard with resin 7 except a bonding part on the board. Then, the chip 2 is bonded with an adhesive agent 8, the chip 2 is connected to the wiring 6 provided onto the board 4 through bonding, and a process the same as above is repeated, whereby the chip 3 is connected to the wiring 6 on the board 4. Lastly, the whole body is covered with a resin 9.



THIS PAGE BLANK (USPTO)

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平4-56262

⑬Int.Cl.*

H 01 L 25/065
25/07
25/18
27/00

識別記号 厅内整理番号

301 C

7514-4M

7638-4M H 01 L 25/08

⑭公開 平成4年(1992)2月24日

審査請求 未請求 請求項の数 4 (全2頁) Z

⑮発明の名称 半導体集積回路装置

⑯特 願 平2-167207

⑰出 願 平2(1990)6月25日

⑱発明者 佐 内 進 大阪府門真市大字門真1006番地
⑲出願人 松下電子工業株式会社 松下電子工業株式会社内
⑳代理人 弁理士 小鍛治 明 大阪府門真市大字門真1006番地
外2名

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

- (1) 半導体のチップを2つ以上積み重ねた多層構造を特徴とする半導体集積回路装置。
- (2) 基板上に、半導体のチップ、樹脂の層に積層したことを特徴とする請求項(1)記載の半導体集積回路装置。
- (3) 基板上に、半導体のチップを接着し、前記チップと基板をポンディングした後に、表面にハードコート処理を基板上のポンディング部分を除いて施し、この処理の後に、半導体チップを前記チップ上に接着し、ポンディングを2番目のチップと基板間で行い、さらに表面をハードコート処理し、チップを接着するという方法で半導体チップを2つ以上積層した構造を特徴とする請求項(2)記載の半導体集積回路装置。
- (4) 半導体チップ上にハードコート処理をした後、この表面上に金属の薄膜を設けた構造であ

る請求項③記載の半導体集積回路装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路装置、特にその3次元の構造に関するものである。

従来の技術

半導体集積回路は通常、基板上に1個又は数個、半導体チップを配置する2次元構造である。

発明が解決しようとする課題

従来の2次元構造の集積回路装置では、半導体を多段用いると、機器が大きくなる問題がある。また半導体と半導体を結ぶ配線の長さによる負荷等で、機器のスピードが遅くなる問題があった。

本発明は、半導体集積回路装置を用いた装置の小型化と装置の電気的特性の向上を目的とする。

課題を解決するための手段

半導体のチップを基板上に2つ以上積み重ねた構造にし、基板と1番目のチップとポンディングし、さらに2番目、3番目、n番目のチップと基板をポンディングすることにより構成される3次

元の半導体集積回路装置である。

作用

多層構造の集積回路装置により、面積あたりの集積度が向上し、またチップ間の配線長が従来より短くなるため、電気特性を向上させることができる。

実施例

以下本発明の実施例について添付図面に基づき説明する。第1図は本発明の半導体集積回路装置の断面図である。この装置は、半導体チップ1、2、3を、それぞれ、基板4のAu薄膜10上に積み重ねて接着し、ポンディングワイヤ5でチップと基板4上の配線6を接続する。このチップ上を樹脂7でハードコートする。ただし、基板上のポンディング部分を除く。次にチップ2を接着剤8を用いて接着し、ポンディングでチップ2と基板4上の配線6とを接続する。同様な工程を繰り返すことによってチップ3も基板4上の配線6と接続される。最後に全体を樹脂9でおおうことによって製品が得られる。なお、図中の符号10

は金(Au)の膜を示し、これは、Auのほか、他の金属導電薄膜であってもよい。

第2図は半導体集積回路の基板を電源電圧又はアースに接続した実施例である。半導体チップ1は前記の方法と同様にして、基板4上の配線6に接続される。樹脂7でハードコートした後に、Au又は他の金属による導電薄膜11を設け、半導体チップ2をこの膜上に接着した後に、配線6と導電薄膜11とをボンディングする。他の工程は前記の実施例と同様である。導電薄膜11を設けることにより、チップ1と同様にチップの基板を電源またはアースに接続することができる。

この方法を用いることにより、チップを2個以上積層することができる。

またチップ間の結線長が本発明では数μmであるのに対し、通常のパッケージされた集積回路では数mm以上と長い。このため、従来と比較して回路の特性が向上した。

以上の実施例より、本発明の半導体集積回路装置は、半導体チップを積層することができ、高密

度化を図ることができる。

発明の効果

本発明によると、半導体集積回路装置の面積あたりの集積度が向上するため、機器の小型化が図れる。またチップを積層しているため、チップ間の配線距離が短くなるため、機器の電気的スピードのアップを図ることができる。見かけ上、大チップ(30口以上)を用いた集積回路装置とほぼ同じ効果がある。

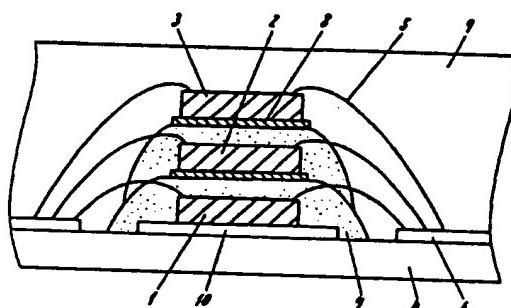
4. 図面の簡単な説明

第1図、第2図はそれぞれ本発明の各実施例半導体集積回路装置の断面図である。

1, 2, 3……半導体チップ、4……基板、5……ポンディングワイヤ、6……基板上の配線、7……樹脂、8……接着剤、9……樹脂、10……Auの膜、11……導電薄膜。

代理人の氏名 卍理士 栗野宣孝 ほか1名

第1図



第2図

